

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-242154

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

H01L 21/324

(21)Application number : 09-038848

(71)Applicant : MITSUBISHI MATERIALS SILICON CORP
MITSUBISHI MATERIALS CORP

(22)Date of filing : 24.02.1997

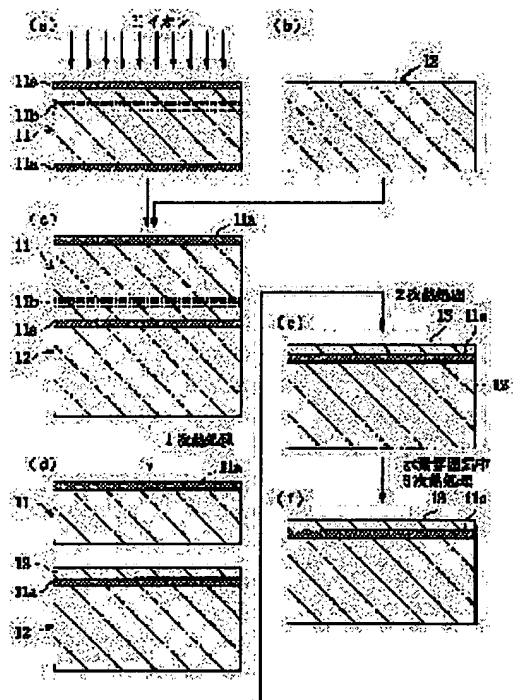
(72)Inventor : SUDO MITSURU
TAKAMATSU MASARU
NAKAI TETSUYA

(54) METHOD OF TREATING SURFACE OF THIN FILM SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the main surface roughness of a thin film on a specified order, without increasing the in-plane thickness variation and without changing the film thickness even if the thickness is below a specified value by heat-treating a semiconductor substrate in an active atmosphere at a specified temp.

SOLUTION: A first semiconductor substrate 11 is bonded onto a second semiconductor substrate 12 at room temp., the bonded substrates 11, 12 are heat-treated at 400-600°C in an Ar atmosphere to divide into the first and second substrates at damaged regions 11b, a single crystal Si thin film 13 is left at the bond face of the second substrate 12 and heat treated to tighten the chemical bond, the second substrate 12 with the film 13 is heat treated at 1000-1300°C in an H-atmosphere for 10min-5hr.



LEGAL STATUS

[Date of request for examination]

11.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3522482

[Date of registration]

20.02.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The surface treatment approach of the thin film semiconductor substrate characterized by the average surface roughness formed on the semi-conductor substrate (12) heat-treating said semi-conductor substrate (12) at the temperature of 1000-1300 degrees C in an activity ambient atmosphere for 10 minutes to 5 hours in the approach of processing the front face of the single crystal thin film (13) which is at least 0.2nm.

[Claim 2] The surface treatment approach of a thin film semiconductor substrate according to claim 1 that a thin film (13) is a silicon thin film, an activity ambient atmosphere is a hydrogen ambient atmosphere, and heat treatment temperature is 1000-1300 degrees C.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the surface treatment approach of the thin film of the single crystal formed on the semi-conductor substrate.

[0002]

[Description of the Prior Art] A SOI substrate is mentioned as an example of representation of the semi-conductor substrate which has the thin film of a single crystal on a substrate. This SOI substrate has attracted attention as a future ultra-large scale integrated circuit (ULSI) substrate. SIMOX which carries out annealing treatment at an elevated temperature, forms a pad silicon oxidizing zone in the field of the predetermined depth from this silicon substrate surface, and makes an active region the Si layer by the side of that front face after pouring high-concentration oxygen ion into the interior of the approach of making a silicon thin film depositing on the substrate which has the approach, ** insulation substrate, or the insulating thin film which sticks ** silicon substrates on the manufacture approach of this SOI substrate through an insulator layer on a front face, and ** silicon substrate -- there is law etc. Moreover, after performing hydrogen ion impregnation to the 1st semi-conductor substrate recently, this semi-conductor substrate is joined to another 2nd semi-conductor substrate used as a support substrate by making an ion-implantation side into a plane of composition, the 1st semi-conductor substrate is separated from the 2nd semi-conductor substrate in a hydrogen ion impregnation part, and the method of manufacturing the semi-conductor substrate which has a thin film on the front face of the 2nd semi-conductor substrate is proposed (JP,5-211128,A). By this approach, if ion can be poured into homogeneity from a front face inside a semi-conductor substrate, the semi-conductor substrate which has the thin film of uniform thickness will be obtained. Moreover, if the oxidizing zone is beforehand prepared in the front face of the 2nd semi-conductor substrate used as a support substrate, a SOI substrate can be manufactured by this approach.

[0003] On the other hand, importance has been attached with the cleanliness on the front face of a wafer with high integration of a microelectronics device, and contraction of the device lower limit in recent years, the microscopic roughness (micro-roughness), i.e., the micro roughness, on the front face of a wafer. It is recognized that especially micro roughness has big effect on electrical properties, such as oxide-film pressure-proofing of a device, (.). (M. ULSI Science and Technology [Morita, et al., "Effect of Si wafer surface micro-roughness on electrical properties of very-thin gate oxide films", and]/1991, pp.400-408, Electrochem, and Society (1991)) In addition, micro roughness says the surface roughness of 1-micrometer or less several nm order here.

[0004] To the average of roughness height of an early silicon substrate surface being 0.1nm or less, the average of roughness height of the thin film which consists in the front face of the 2nd semi-conductor substrate immediately after separating the 1st semi-conductor substrate by the approach shown in above-mentioned JP,5-211128,A is 10 or more times of this average of roughness height, and its micro roughness is comparatively large and it has a possibility of having a bad influence on electrical properties, such as oxide-film pressure-proofing mentioned above. Since the configuration of the minute air bubbles accompanying heat treatment in the front face of the thin film formed [especially] of separation of the 1st semi-conductor substrate by this approach remains, micro roughness is large and is not suitable for production of a device. In order to solve this point, light polish called a touch polish (touch polishing) in the thin film front face on the 2nd semi-conductor substrate after separating the 1st semi-conductor substrate is given, and such surface roughness is made into the micro roughness of granularity extent on the early front face of a substrate (M. Bruel et al., "A Promising New SOI Material Technology" IEEE International SOI Conference proceedings, and pp.178-179 (1995)).

[0005]

[Problem(s) to be Solved by the Invention] However, when the technique of the present touch polish was applied to

100nm or less of thickness numbers of very thin thin films produced by the above-mentioned approach, flattening of the thin film front face could be carried out, but since there was dispersion in the amount of polishes in a field, there was fault to which the thickness distribution of a thin film becomes large. Since the thickness distribution of this thin film was large, when a device was produced using the thin film semiconductor substrate after polish, there was a trouble that the property of a device varied. The purpose of this invention is to offer the surface treatment approach of a thin film semiconductor substrate of improving the average surface roughness of a thin film for 0.1nm order, without enlarging dispersion in the thickness within a field, without changing the thickness of a thin film, even if it is the very thin thin film of 100nm or less of thickness numbers.

[0006]

[Means for Solving the Problem] It is the surface treatment approach of the thin film semiconductor substrate characterized by invention concerning claim 1 heat-treating the semi-conductor substrate 12 at the temperature of 1000-1300 degrees C in an activity ambient atmosphere for 10 minutes to 5 hours in the approach of processing the front face of the single crystal thin film 13 whose average surface roughness formed on the semi-conductor substrate 12 is at least 0.2nm as shown in drawing 1 (e). If a semi-conductor substrate is heat-treated on the above-mentioned conditions, the atom on the front face of a thin film on a substrate will be in an activity condition, and it will become easy to move it, and it will make average surface roughness of a thin film 0.1nm order. Invention concerning claim 2 is the surface treatment approach of a thin film semiconductor substrate that it is invention concerning claim 1, a thin film 13 is a silicon thin film, an activity ambient atmosphere is a hydrogen ambient atmosphere, and heat treatment temperature is 1000-1300 degrees C. By heat-treating a silicon thin film in a hydrogen ambient atmosphere on the above-mentioned conditions, in addition to making surface roughness of a thin film small, the minute defect which exists in silicon can be reduced, and the concentration of the boron contained as a dopant in silicon can be controlled.

[0007]

[Embodiment of the Invention] As an activity ambient atmosphere at the time of heat treatment of this invention, although there are a hydrogen ambient atmosphere, a hydrochloric-acid ambient atmosphere, and fluoride carbon atmosphere, a hydrogen ambient atmosphere is desirable in respect of the ease of controlling of surface treatment. Under by the above-mentioned lower limit, the activity of the atom on the front face of a thin film has low heat treatment temperature at under the above-mentioned lower limit, and heat treatment time amount cannot make the surface roughness 0.1nm order. Moreover, if heat treatment temperature exceeds the above-mentioned upper limit and heat treatment time amount exceeds the above-mentioned upper limit, etching by the active element will progress and a thin film front face will become coarse on the contrary from heat treatment before. 1100-1200 degrees C of heat treatment temperature are [claim 1 and claim 2] desirable, and heat treatment time amount has 1 - 2 desirable hours.

[0008] Moreover, the processed material of this invention is a semi-conductor substrate which has on a substrate the single crystal thin film whose average surface roughness is at least 0.2nm. It is because surface roughness cannot be made small in the art of this invention by less than 0.2nm below at this value. as the example of such a semi-conductor substrate -- SIMOX -- after pouring high-concentration oxygen ion into the interior of a silicon substrate by law, the SOI substrate which carried out annealing treatment at the elevated temperature, and formed the pad silicon oxidizing zone in the field of the predetermined depth from this silicon substrate surface, the 2nd semi-conductor substrate which has a thin film immediately after separating the 1st semi-conductor substrate by the approach shown in JP,5-211128,A are mentioned.

[0009] This approach is explained using a drawing. As shown in drawing 1 (a), after forming oxidizing-zone (SiO two-layer) 11a in a substrate front face for the 1st semi-conductor substrate 11 of a silicon wafer by thermal oxidation, the ion implantation of the hydrogen ion is carried out to this substrate 11 with the dose of $2 \times 10^{16}/\text{cm}^2$ - $1 \times 10^{17}/\text{cm}^2$. 11b is a damage field by hydrogen ion impregnation. Subsequently, as shown in drawing 1 (b), the 2nd semi-conductor substrate 12 which consists of the same silicon wafer as the above is prepared. As shown in drawing 1 (c), after washing both the substrates 11 and 12 by the RCA method, a substrate 11 is joined at a room temperature on a substrate 12. A substrate 12 acts as a support substrate. As shown in drawing 1 (d), two joined substrates 11 and 12 are first-heat-treated at 400-600 degrees C among an argon ambient atmosphere. This breaks in the place whose substrate 11 is damage field 11b, and it dissociates from a substrate 12. In the plane of composition of a substrate 12, the single-crystal-silicon thin film 13 remains. The average surface roughness of the silicon thin film 13 after [this] first-heat-treating is about 10nm. As shown in drawing 1 (e), the 2nd order is heat-treated at about 1100 degrees C after separation and among an argon ambient atmosphere, and the chemical bond of a silicon thin film is strengthened. As shown in drawing 1 (f), the substrate 12 which has a thin film 13 is heat-treated the 3rd order in 10 minutes - 5 hours in a 1000-1300-degree C temperature requirement in a hydrogen ambient atmosphere. The thickness of the silicon thin film 13 and its distribution do not change by this heat treatment, but average surface roughness serves as 0.1nm order. Moreover, heat treatment in

the hydrogen ambient atmosphere as the 3rd above-mentioned heat treatment where it is the same after primary heat treatment as an option may be performed. In this case, the same effectiveness (increment in lamination reinforcement) as the above-mentioned second heat treatment can also be acquired with flattening on the front face of silicon.

[0010]

[Example] Next, the example of this invention is explained with the example of a comparison.

The 1st silicon wafer with a <example 1> thickness of 625 micrometers was oxidized thermally, and the thermal oxidation film with a thickness of 500nm was formed in the front face. The hydrogen ion was poured into this silicon wafer in 120keV(s) and $5 \times 10^{16}/\text{cm}^2$ of doses. The 1st silicon wafer was joined to the 2nd silicon wafer by using the same 2nd silicon wafer as the above before thermal oxidation as a support substrate. Both wafers were washed by the RCA method before junction. Both the joined wafers were heat-treated at 600 degrees C. The 1st silicon wafer broke in the part which carried out the ion implantation in the interior of a wafer according to the rearrangement of the crystal in the 1st silicon wafer, and a pressure operation of minute air bubbles, this heat treatment separated, and the SOI substrate which has a silicon thin film with a thickness of 500nm on the 2nd silicon wafer was obtained. Dispersion within the wafer side of the thin film at this time was $\sim 3\text{nm}$. Moreover, surface average-of-roughness-height R_a was 10nm as a result of measuring with an atomic force microscope (AFM). The surface roughness of the thin film by this AFM is shown in drawing 2. The 2nd silicon wafer with this silicon thin film was heat-treated at 1100 degrees C among the hydrogen ambient atmosphere for 3 hours. The thickness of the thin film after heat treatment was not different from $500 \sim 3\text{nm}$ in the wafer side, and surface average-of-roughness-height R_a was 0.1nm as a result of measuring by AFM. This value was the same level as [of an early silicon wafer] surface roughness. This surface roughness is shown in drawing 3.

[0011] The 2nd silicon wafer with a silicon thin film produced like the <example 2> example 1 was heat-treated at 1200 degrees C among the hydrogen ambient atmosphere for 2 hours. The thickness of the thin film after heat treatment was not different from $500 \sim 3\text{nm}$ in the wafer side, and surface average-of-roughness-height R_a was 0.12nm as a result of measuring by AFM. This surface roughness is shown in drawing 4.

[0012] The touch polish of the 2nd silicon wafer with a silicon thin film produced like the <example 1 of comparison> example 1 was carried out. Although average surface roughness R_a of the thin film at this time has been improved by 0.15nm, the thickness of a thin film worsened with $480 \sim 7\text{nm}$ in the wafer side.

[0013] The 2nd silicon wafer with a silicon thin film produced like the <example 2 of comparison> example 1 was heat-treated at 1350 degrees C among the hydrogen ambient atmosphere for 1 hour. As a result of a silicon thin film's being etched by heat treatment from hydrogen, and the thickness of a thin film worsening with $100 \sim 8\text{nm}$ in a wafer side and also measuring surface average-of-roughness-height R_a by AFM, it was getting worse from 5nm and examples 1 and 2.

[0014] The 2nd silicon wafer with a silicon thin film produced like the <example 3 of comparison> example 1 was heat-treated at 900 degrees C among the hydrogen ambient atmosphere for 5 hours. It was changeless to the thickness, its field internal division cloth, and surface roughness of a thin film.

[0015]

[Effect of the Invention] By heat-treating the semi-conductor substrate which has the single crystal thin film whose average surface roughness is at least 0.2nm at the temperature of 1000-1300 degrees C in an activity ambient atmosphere for 10 minutes to 5 hours according to this invention, as stated above The average surface roughness of a thin film can be improved for 0.1nm order, without enlarging dispersion in the thickness within a field, without changing the thickness of a thin film, even if it is the very thin thin film of 100nm or less of thickness numbers.

[Translation done.]

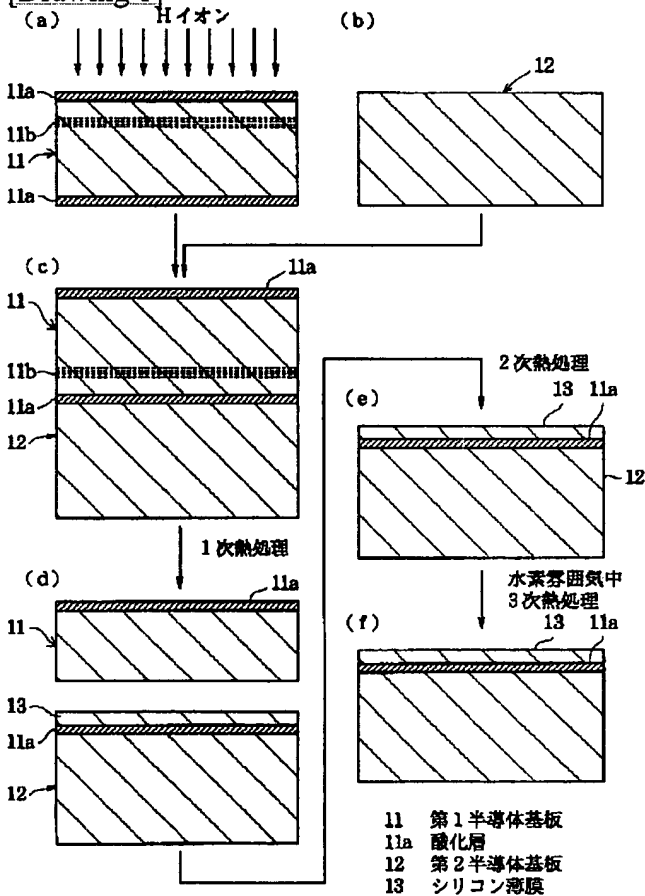
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

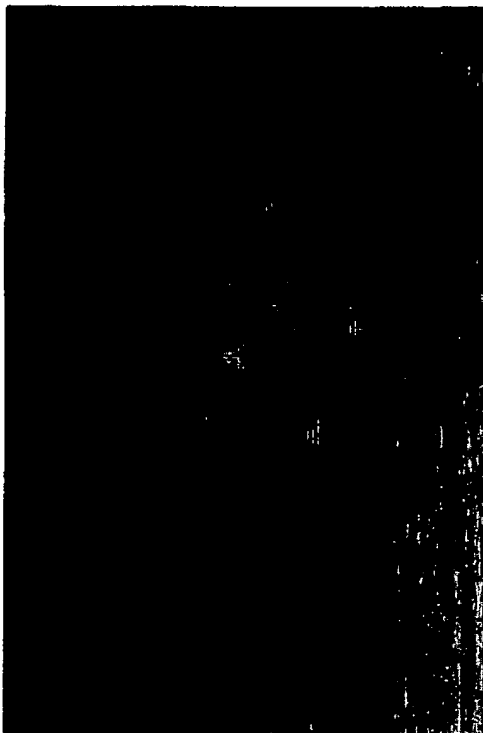
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

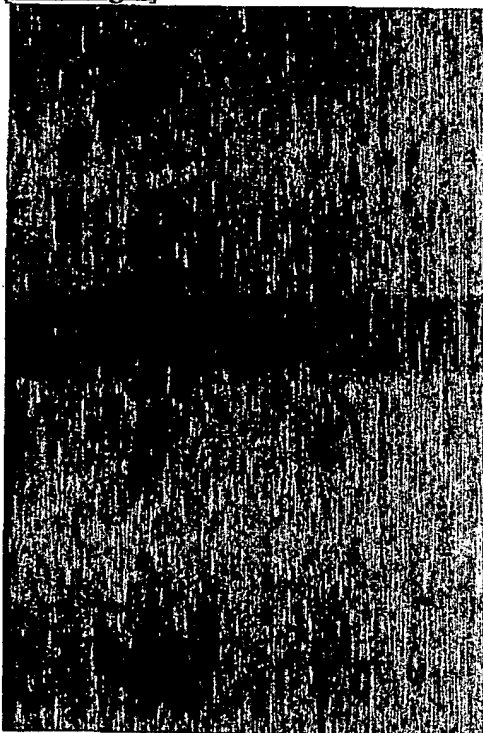
[Drawing 1]



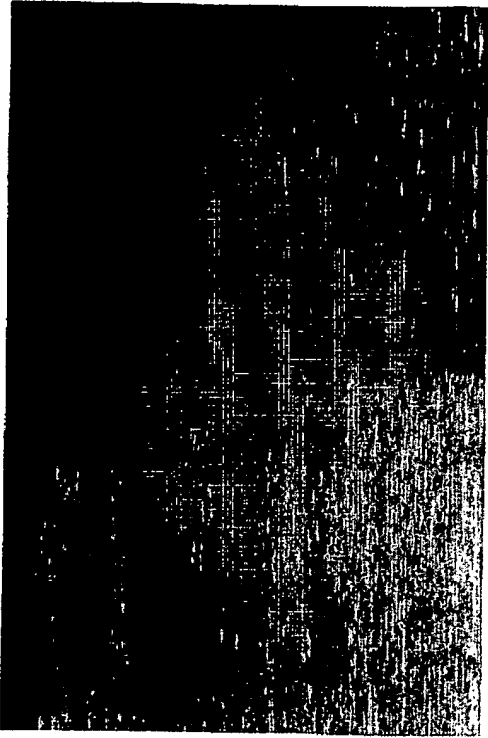
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242154

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶
H 0 1 L 21/324

識別記号

F I
H 0 1 L 21/324

N

審査請求 未請求 請求項の数2 O L (全 8 頁)

(21) 出願番号 特願平9-38848

(22) 出願日 平成9年(1997) 2月24日

(71) 出願人 000228925

三菱マテリアルシリコン株式会社
東京都千代田区大手町一丁目5番1号

(71) 出願人 000006264

三菱マテリアル株式会社
東京都千代田区大手町1丁目5番1号

(72) 発明者 須藤 充

東京都千代田区大手町1丁目5番1号 三
菱マテリアルシリコン株式会社内

(72) 発明者 高松 勝

東京都千代田区大手町1丁目5番1号 三
菱マテリアルシリコン株式会社内

(74) 代理人 弁理士 須田 正義

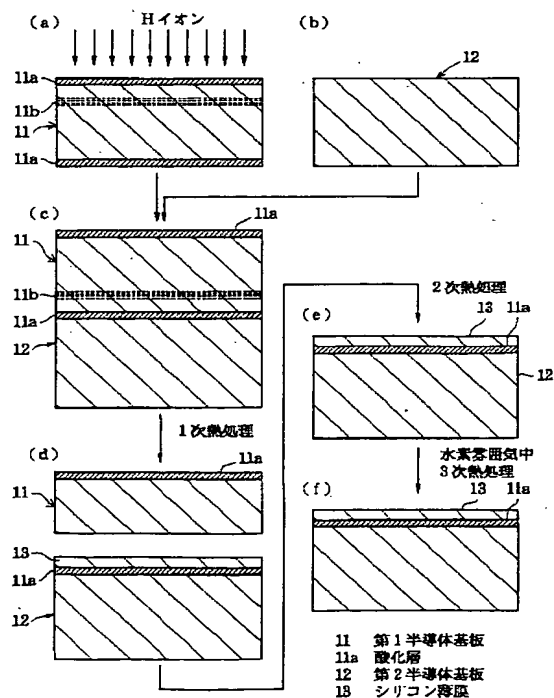
最終頁に続く

(54) 【発明の名称】 薄膜半導体基板の表面処理方法

(57) 【要約】

【課題】 厚さ数百nm以下の極めて薄い薄膜であっても、薄膜の厚さを変えずにかつ面内の厚さのばらつきを大きくせずに、薄膜の平均表面粗さを0.1nmオーダーに改善する。

【解決手段】 本発明の処理方法は、平均表面粗さが少なくとも0.2nmである単結晶薄膜13を有する半導体基板12を水素雰囲気のような活性雰囲気中で1000～1300℃の温度で10分～5時間熱処理する。



【特許請求の範囲】

【請求項1】 半導体基板(12)上に形成された平均表面粗さが少なくとも0.2nmである単結晶薄膜(13)の表面を処理する方法において、

前記半導体基板(12)を活性雰囲気中で1000～1300℃の温度で10分～5時間熱処理することを特徴とする薄膜半導体基板の表面処理方法。

【請求項2】 薄膜(13)がシリコン薄膜であって、活性雰囲気が水素雰囲気であって、熱処理温度が1000～1300℃である請求項1記載の薄膜半導体基板の表面処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板上に形成された単結晶の薄膜の表面処理方法に関するものである。

【0002】

【従来の技術】単結晶の薄膜を基板上に有する半導体基板の代表例として、SOI基板が挙げられる。このSOI基板は将来の超高集積回路(ULSI)基板として注目されてきている。このSOI基板の製造方法には、①シリコン基板同士を絶縁膜を介して貼り合わせる方法、②絶縁性基板又は絶縁性薄膜を表面に有する基板の上にシリコン薄膜を堆積させる方法、③シリコン基板の内部に高濃度の酸素イオンを注入した後、高温でアニール処理してこのシリコン基板表面から所定の深さの領域に埋込みシリコン酸化層を形成し、その表面側のSi層を活性領域とするSIMOX法などがある。また最近、第1半導体基板に水素イオン注入を行った後に、この半導体基板をイオン注入面を接合面として、支持基板となる別の第2半導体基板に接合し、第1半導体基板を水素イオン注入部分で第2半導体基板から分離し、第2半導体基板の表面に薄膜を有する半導体基板を製造する方法が提案されている(特開平5-211128)。この方法では、イオンを半導体基板の内部に表面から均一に注入できれば、均一な厚さの薄膜を有する半導体基板が得られる。また支持基板となる第2半導体基板の表面に予め酸化層を設けておけば、この方法によりSOI基板を製造することができる。

【0003】一方、近年マイクロエレクトロニクスデバイスの高集積化、デバイス最小寸法の縮小に伴い、ウェーハ表面の清浄度とともにウェーハ表面の微視的ラフネス、即ちマイクロラフネス(micro-roughness)が重要視されてきている。特にマイクロラフネスはデバイスの酸化膜耐圧などの電気特性に大きな影響を与えることが認識されている(M.Morita, et al., "Effect of Si wafer surface micro-roughness on electrical properties of very-thin gate oxide films", ULSI Science and Technology/1991, pp.400-408, Electrochem. Society (1991))。なお、ここでマイクロラフネスは1μm以

下数nmのオーダーの表面粗さをいう。

【0004】上記特開平5-211128号公報に示された方法で、第1半導体基板を分離した直後の第2半導体基板の表面に存する薄膜の平均粗さは、初期のシリコン基板表面の平均粗さが0.1nm以下であるのに対して、この平均粗さの10倍以上であり、マイクロラフネスが比較的大きく、上述した酸化膜耐圧などの電気特性に悪影響を及ぼすおそれがある。特にこの方法では、第1半導体基板の分離により形成された薄膜の表面は、熱処理に伴う微小な気泡の形状が残っているためにマイクロラフネスが大きく、デバイスの作製には適さない。この点を解決するため、第1半導体基板を分離した後の第2半導体基板上の薄膜表面をタッチポリッシュ(touch polishing)と呼ばれる、軽い研磨を施して、これらの表面粗さを初期の基板表面の粗さ程度のマイクロラフネスにしている(M.Bruehl et al., "A Promising New SOI Material Technology" IEEE International SOI Conference proceedings, pp.178-179 (1995))。

【0005】

【発明が解決しようとする課題】しかしながら、現状のタッチポリッシュの技術を、上記方法で作製した厚さ数百nm以下の極めて薄い薄膜に適用した場合には、薄膜表面を平坦化することはできるが、面内で研磨量のばらつきがあるため、薄膜の厚さ分布が大きくなる不具合があった。この薄膜の厚さ分布が大きいため、研磨後の薄膜半導体基板を用いてデバイスを作製した場合には、デバイスの特性がばらつく問題点があった。本発明の目的は、厚さ数百nm以下の極めて薄い薄膜であっても、薄膜の厚さを変えずにかつ面内の厚さのばらつきを大きくせずに、薄膜の平均表面粗さを0.1nmオーダーに改善する薄膜半導体基板の表面処理方法を提供することにある。

【0006】

【課題を解決するための手段】請求項1に係る発明は、図1(e)に示すように、半導体基板12上に形成された平均表面粗さが少なくとも0.2nmである単結晶薄膜13の表面を処理する方法において、半導体基板12を活性雰囲気中で1000～1300℃の温度で10分～5時間熱処理することを特徴とする薄膜半導体基板の表面処理方法である。上記条件で半導体基板を熱処理すると、基板上の薄膜表面の原子は活性な状態となって、移動し易くなり、薄膜の平均表面粗さを0.1nmオーダーにする。請求項2に係る発明は、請求項1に係る発明であって、薄膜13がシリコン薄膜であって、活性雰囲気が水素雰囲気であって、熱処理温度が1000～1300℃である薄膜半導体基板の表面処理方法である。上記条件でシリコン薄膜を水素雰囲気中で熱処理することにより、薄膜の表面粗さを小さくすることに加えて、シリコン中に存在する微小欠陥を低減し、シリコン中にドーバントとして含まれるボロンの濃度を制御すること

ができる。

【0007】

【発明の実施の形態】本発明の熱処理時の活性雰囲気としては、水素雰囲気、塩酸雰囲気、フッ化炭素雰囲気があるが、表面処理の制御しやすい点で水素雰囲気が望ましい。熱処理温度が上記下限値未満で、熱処理時間が上記下限値未満では、薄膜表面の原子の活性度が低く、その表面粗さを0.1nmオーダーにすることができない。また熱処理温度が上記上限値を越え、熱処理時間が上記上限値を越えると、活性元素によるエッチングが進んで、熱処理前よりかえって薄膜表面が粗くなる。請求項1及び請求項2とも、熱処理温度は1100~1200℃が好ましく、熱処理時間は1~2時間が好ましい。

【0008】また本発明の被処理物は、基板上に平均表面粗さが少なくとも0.2nmである単結晶薄膜を有する半導体基板である。0.2nm未満では本発明の処理方法でこの値以下に表面粗さを小さくできないからである。こうした半導体基板の例としては、SIMOX法でシリコン基板の内部に高濃度の酸素イオンを注入した後、高温でアニール処理してこのシリコン基板表面から所定の深さの領域に埋込みシリコン酸化層を形成したSOI基板や、特開平5-211128号公報に示された方法で第1半導体基板を分離した直後の薄膜を有する第2半導体基板等が挙げられる。

【0009】この方法を図面を用いて説明する。図1

(a)に示すように、シリコンウェーハの第1半導体基板11を熱酸化により基板表面に酸化層(SiO₂層)11aを形成した後、この基板11に水素イオンを $2 \times 10^{16}/\text{cm}^2 \sim 1 \times 10^{17}/\text{cm}^2$ のドーズ量でイオン注入する。11bは水素イオン注入による損傷領域である。次いで図1(b)に示すように、上記と同一のシリコンウェーハからなる第2半導体基板12を用意する。図1(c)に示すように、両基板11、12をRCA法により洗浄した後、基板12上に基板11を室温で接合する。基板12は支持基板として作用する。図1(d)に示すように、接合した2枚の基板11、12をアルゴン雰囲気中400~600℃で第1次熱処理する。これにより、基板11が損傷領域11bのところで割れ、基板12から分離する。基板12の接合面には単結晶シリコン薄膜13が残存する。この第1次熱処理した後のシリコン薄膜13の平均表面粗さは約10nmである。図1(e)に示すように、分離後、アルゴン雰囲気中約1100℃で2次熱処理し、シリコン薄膜の化学結合を強固にする。図1(f)に示すように、薄膜13を有する基板12を水素雰囲気中で1000~1300℃の温度範囲で10分~5時間の範囲で第3次熱処理する。この熱処理によりシリコン薄膜13の厚さ及びその分布は変わらず、平均表面粗さは0.1nmオーダーとなる。また別の方法として1次熱処理の後に、上記第3次熱処理と同じ水素雰囲気中の熱処理を行っても良い。この場

合、シリコン表面の平坦化とともに、上記第2次熱処理と同じ効果(張り合わせ強度の増加)も得ることができる。

【0010】

【実施例】次に本発明の実施例を比較例とともに説明する。

<実施例1>厚さ625μmの第1シリコンウェーハを熱酸化して表面に厚さ500nmの熱酸化膜を形成した。このシリコンウェーハに120keV、ドーズ量 $5 \times 10^{16}/\text{cm}^2$ で水素イオンを注入した。熱酸化前の上記と同一の第2シリコンウェーハを支持基板として、第2シリコンウェーハに第1シリコンウェーハを接合した。接合前にRCA法により両ウェーハを洗浄した。接合した両ウェーハを600℃で熱処理した。この熱処理により第1シリコンウェーハ中の結晶の再配列及び微小気泡の圧力作用により、ウェーハ内部のイオン注入した箇所第1シリコンウェーハが割れて分離し、第2シリコンウェーハ上に厚さ500nmのシリコン薄膜を有するSOI基板が得られた。このときの薄膜のウェーハ面内のばらつきは±3nmであった。また表面の平均粗さRaは原子間力顕微鏡(AFM)で測定した結果、10nmであった。このAFMによる薄膜の表面粗さを図2に示す。このシリコン薄膜付きの第2シリコンウェーハを水素雰囲気中1100℃で3時間熱処理した。熱処理後の薄膜の厚さはウェーハ面内で $500 \pm 3 \text{ nm}$ と変わらず、表面の平均粗さRaはAFMで測定した結果、0.1nmであった。この値は初期のシリコンウェーハの表面粗さ並みであった。この表面粗さを図3に示す。

【0011】<実施例2>実施例1と同様にして作製したシリコン薄膜付きの第2シリコンウェーハを水素雰囲気中1200℃で2時間熱処理した。熱処理後の薄膜の厚さはウェーハ面内で $500 \pm 3 \text{ nm}$ と変わらず、表面の平均粗さRaはAFMで測定した結果、0.12nmであった。この表面粗さを図4に示す。

【0012】<比較例1>実施例1と同様にして作製したシリコン薄膜付きの第2シリコンウェーハをタッチポリッシュした。このときの薄膜の平均表面粗さRaは0.15nmに改善されたが、薄膜の厚さはウェーハ面内で $480 \pm 7 \text{ nm}$ と悪くなった。

【0013】<比較例2>実施例1と同様にして作製したシリコン薄膜付きの第2シリコンウェーハを水素雰囲気中1350℃で1時間熱処理した。熱処理によりシリコン薄膜は水素でエッチングされ、薄膜の厚さはウェーハ面内で $100 \pm 8 \text{ nm}$ と悪くなり、表面の平均粗さRaもAFMで測定した結果、5nmと実施例1及び2より悪化していた。

【0014】<比較例3>実施例1と同様にして作製したシリコン薄膜付きの第2シリコンウェーハを水素雰囲気中900℃で5時間熱処理した。薄膜の厚さ、その面内分布及び表面粗さに変化はなかった。

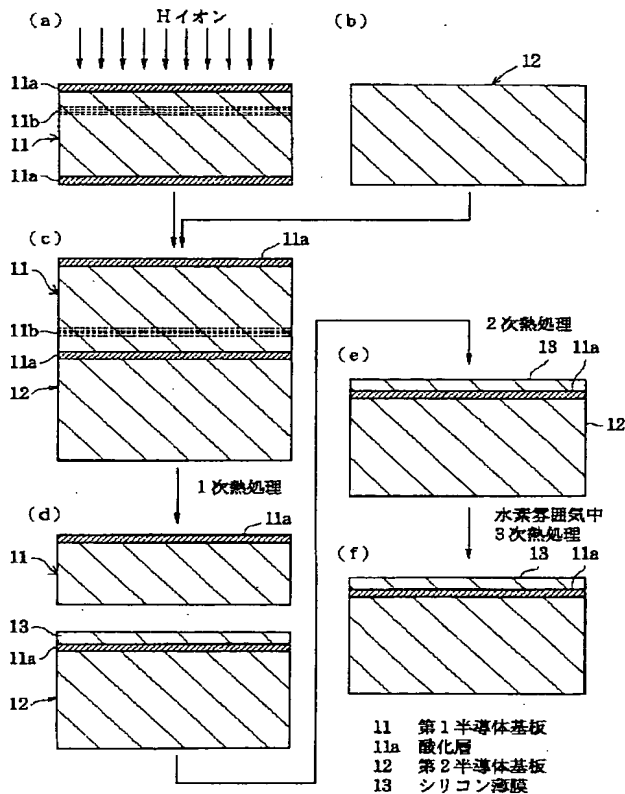
【0015】

【発明の効果】以上述べたように、本発明によれば、平均表面粗さが少なくとも0.2nmである単結晶薄膜を有する半導体基板を活性雰囲気中で1000～1300℃の温度で10分～5時間熱処理することにより、厚さ数百nm以下の極めて薄い薄膜であっても、薄膜の厚さを変えずにかつ面内の厚さのばらつきを大きくせずに、薄膜の平均表面粗さを0.1nmオーダーに改善することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態のSOI基板の製造方法を工程順に示す図。

【図1】



*【図2】本発明実施例1の活性雰囲気中で熱処理する前の原子間力顕微鏡により基板表面粗さを示す図。

【図3】本発明実施例1の活性雰囲気中で熱処理した後の原子間力顕微鏡により基板表面粗さを示す図。

【図4】本発明実施例2の活性雰囲気中で熱処理した後の原子間力顕微鏡により基板表面粗さを示す図。

【符号の説明】

11 第1半導体基板（第1シリコンウェーハ）

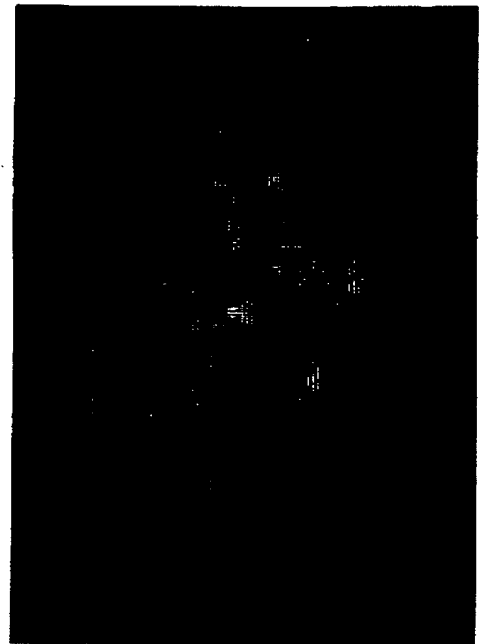
11a 酸化層

10 12 第2半導体基板（第2シリコンウェーハ）

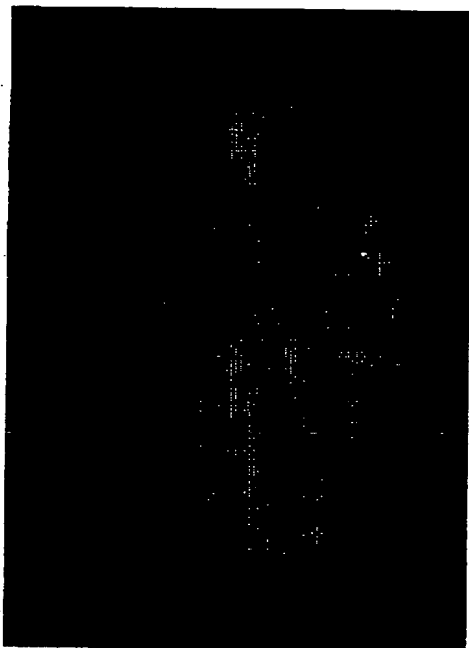
13 シリコン薄膜

*

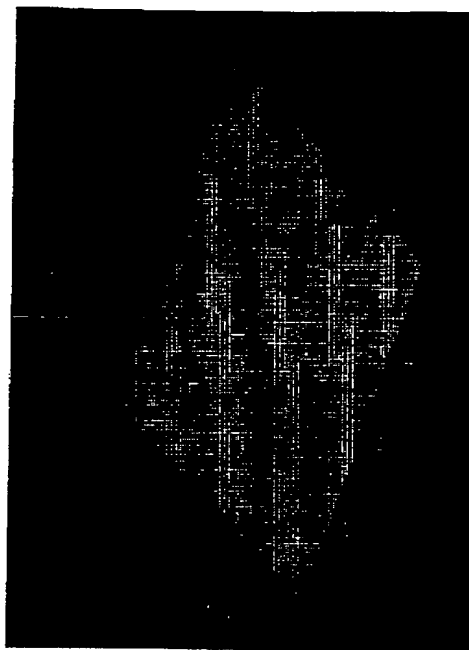
【図2】



【図3】



【図4】



【手続補正書】

【提出日】平成9年2月24日

【手続補正1】

【補正対象書類名】図面

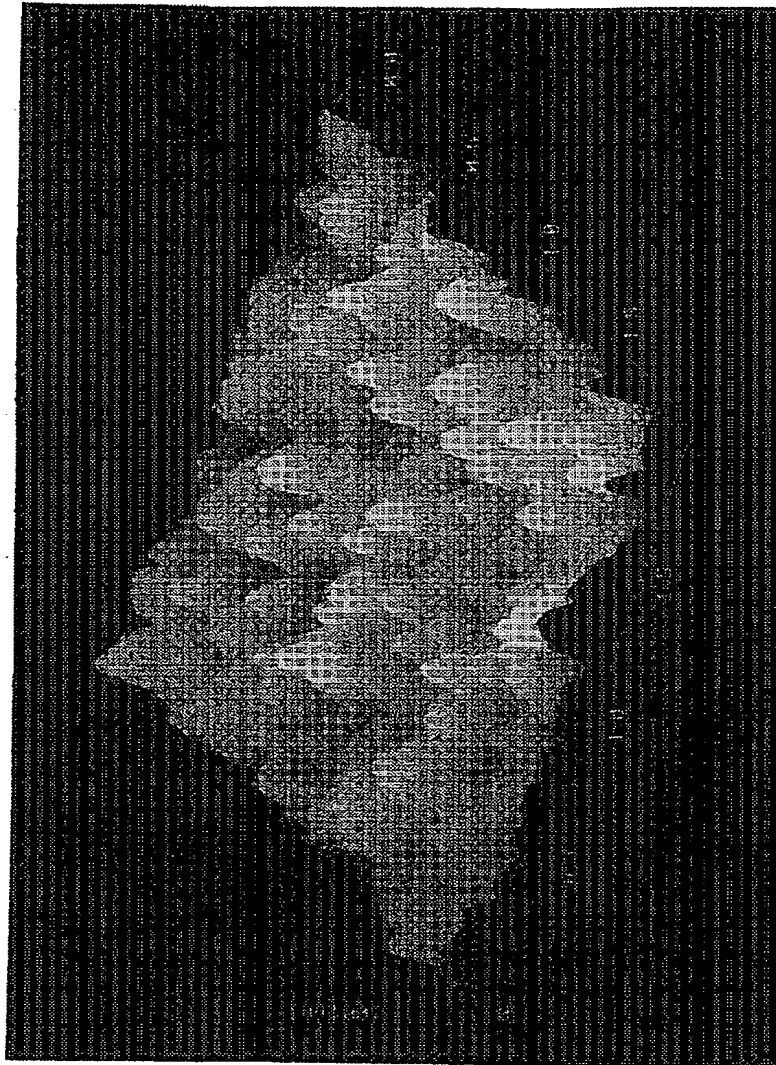
【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】

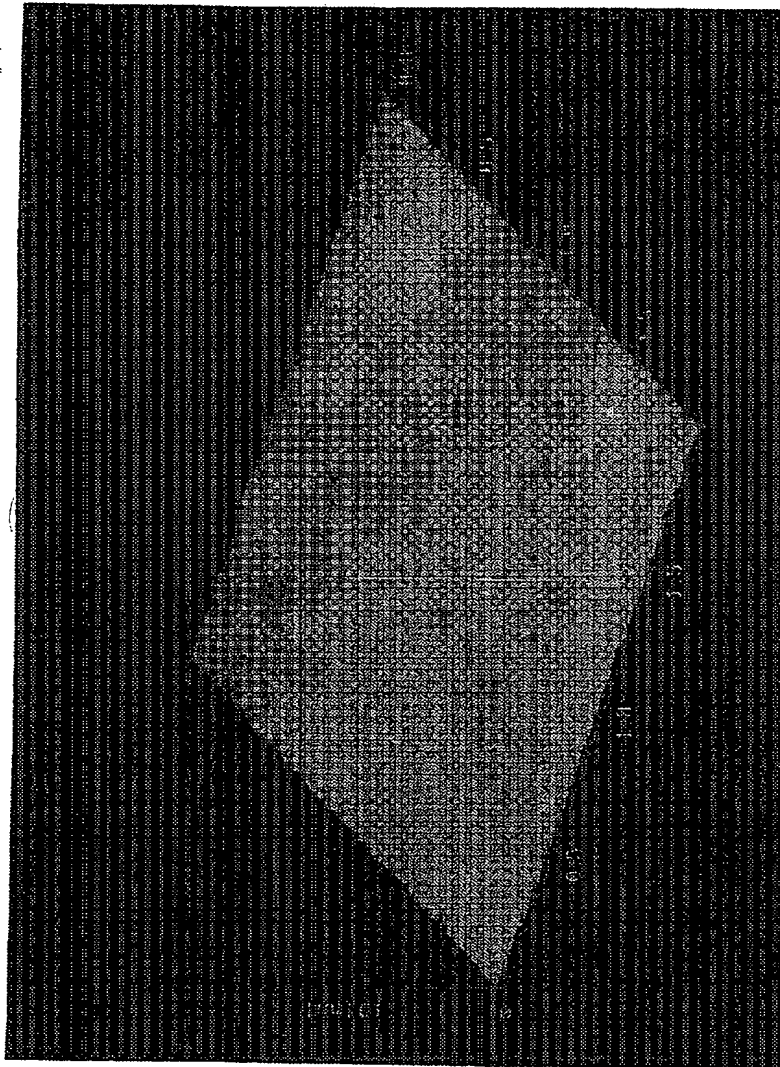
図面代用写真



【手続補正2】
【補正対象書類名】図面
【補正対象項目名】図3

【補正方法】変更
【補正内容】
【図3】

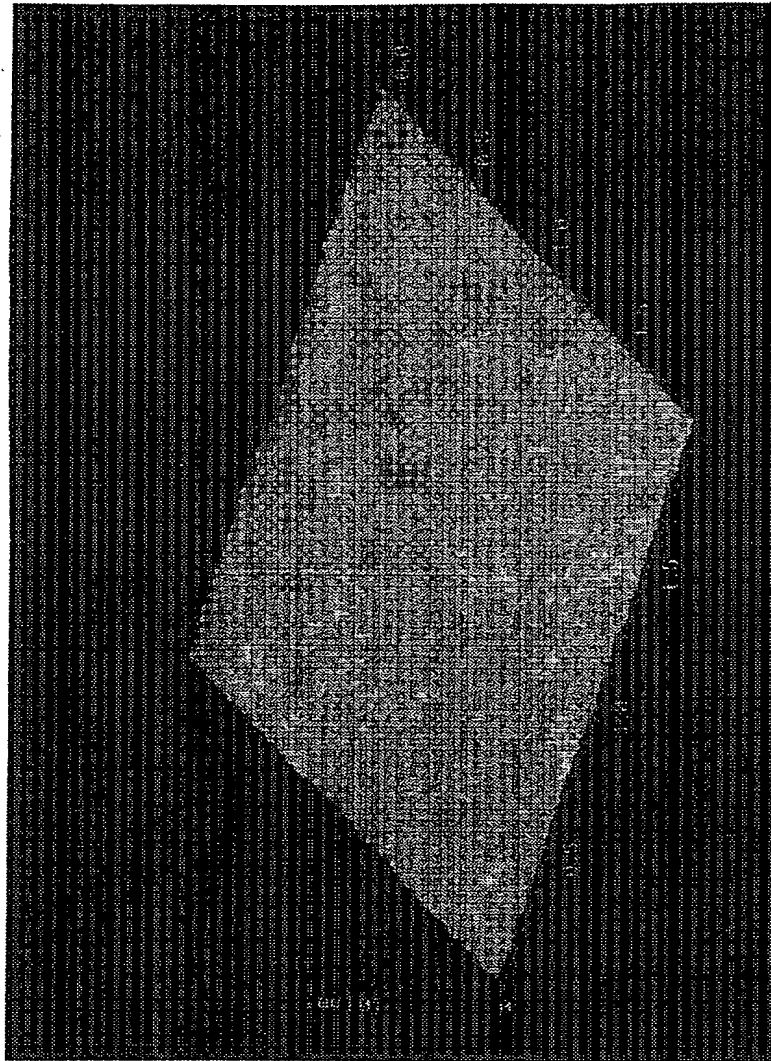
図面代用写真



【手続補正3】
【補正対象書類名】図面
【補正対象項目名】図4

【補正方法】変更
【補正内容】
【図4】

図面代用写真



フロントページの続き

(72)発明者 中井 哲弥
東京都千代田区大手町1丁目5番1号 三
菱マテリアルシリコン株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.